

Docket No. 216932US2/sbj



2812
#5/Priority
cell 13
Sachar

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaki YAMADA, et al.

GAU: 2812

SERIAL NO: 10/003,114

EXAMINER:

FILED: December 6, 2001

FOR: SEMICONDUCTOR DEVICE HAVING BURIED CONDUCTIVE LAYER AND METHOD OF MANUFACTURING THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-298522	September 27, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

RECEIVED
APR 15 2002
TECHNOLOGY CENTER 2800

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Surinder Sachar

Marvin J. Spivak
Registration No. 24,913

Surinder Sachar
Registration No. 34,423



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



10/003,114

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月27日

出 願 番 号

Application Number:

特願2001-298522

出 願 人

Applicant(s):

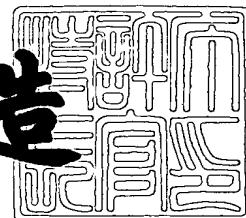
株式会社東芝

RECEIVED
APR 15 2002
TECHNOLOGY CENTER 2800

2001年11月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3103493

【書類名】 特許願

【整理番号】 46B015065

【提出日】 平成13年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置とその製造方法

【請求項の数】 22

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 山田 雅基

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
 横浜事業所内

 【氏名】 梶田 明広

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

 【識別番号】 100068342

 【弁理士】

 【氏名又は名称】 三好 保男

【選任した代理人】

 【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 第 1 層間絶縁層と、
前記第 1 層間絶縁層に形成された溝と、
前記溝を埋め、前記第 1 層間絶縁層表面より高い表面を有する導電層と、
前記第 1 層間絶縁層と前記導電層とを被覆し、平坦な表面を持つ絶縁膜と、
前記絶縁膜上に形成され、前記絶縁膜に対しエッチング選択比が高い第 2 層間
絶縁層と
を有することを特徴とする半導体装置。

【請求項 2】 前記絶縁膜は、前記導電層上での膜厚より前記第 1 層間絶縁
層上での膜厚が厚いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記絶縁膜は、
塗布型材料からなることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記絶縁膜は、
前記導電層の導体材料に対し拡散防止効果を持つことを特徴とする請求項 1 ～
3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記第 1 層間絶縁層および前記第 2 層間絶縁層の少なくとも
いずれか一方が、 SiO_2 膜より低い比誘電率を持つ材料からなることを特徴と
する請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記絶縁膜は、
 SiO_2 膜より低い比誘電率を持つ材料からなることを特徴とする請求項 1 ～
5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記導電層は、バリアメタル層を有することを特徴とする請
求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記導電層は、 Cu 配線層を有することを特徴とする請求項
1 ～ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記第 1 層間絶縁層および前記第 2 層間絶縁層の少なくとも
いずれか一方がメチルポリシロキサンからなることを特徴とする請求項 1 ～ 8 の

いずれか 1 項に記載の半導体装置。

【請求項 1 0】 前記絶縁膜は、ポリアリーレン又はベンゾシクロブテンからなることを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載の半導体装置。

【請求項 1 1】 第 1 層間絶縁層を形成する工程と、
前記第 1 層間絶縁層に溝を形成する工程と、
前記第 1 層間絶縁層上に導電層を形成し、前記溝を前記導電層で埋める工程と、
前記導電層形成後の基板表面を研磨し、前記第 1 層間絶縁層と前記導電層とが露出する平坦面を形成する工程と、
前記第 1 層間絶縁層表面に残る前記研磨による機械的ダメージ層をエッチング除去する工程と、
前記エッチング後の基板表面上に平坦な表面を持つ絶縁膜を形成する工程と、
前記絶縁膜上に、前記絶縁膜に対するエッチング選択比が高い第 2 層間絶縁層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 2】 第 1 層間絶縁層を形成する工程と、
前記第 1 層間絶縁層表面を保護膜で被覆する工程と、
前記保護膜で被覆された前記第 1 層間絶縁層に溝を形成する工程と、
前記溝形成後の基板表面上に導電層を形成し、前記溝を前記導電層で埋める工程と、
前記導電層形成後の基板表面を研磨し、前記保護膜と前記導電層とが露出する平坦面を形成する工程と、
前記保護膜をエッチング除去する工程と、
前記保護膜除去後の基板表面上に平坦な表面を持つ絶縁膜を形成する工程と、
前記絶縁膜上に、前記絶縁膜に対するエッチング選択比が高い第 2 層間絶縁層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記絶縁膜を形成する工程は、塗布法を用いて行うことを特徴とする請求項 1 1 または 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 前記保護膜は、 SiO_2 膜であることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 5】 さらに、記第 2 層間絶縁層および前記絶縁膜を一部エッチングし、底部に少なくとも前記導電層の一部が露出するコンタクトホールを形成する工程と

を有することを特徴とする請求項 1 1 ~ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 6】 前記絶縁膜は、
前記導電層の導体材料に対し拡散防止効果を有する材料であることを特徴とする請求項 1 1 ~ 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 7】 前記第 1 層間絶縁層および前記第 2 層間絶縁層のうち少なくともいずれか一方が、S i O₂膜より低い比誘電率を持つ材料であることを特徴とする請求項 1 1 ~ 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 8】 前記絶縁膜は、
少なくとも S i O₂膜より低い比誘電率を持つ材料であることを特徴とする請求項 1 1 ~ 1 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 9】 前記第 1 層間絶縁層および前記第 2 層間絶縁層の少なくともいずれか一方が、メチルポリシロキサンであることを特徴とする請求項 1 1 ~ 1 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 0】 前記導電層の形成工程は、バリアメタル層を形成する工程を含むことを特徴とする請求項 1 1 ~ 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 1】 前記導電層の形成工程は、C u 配線層を形成する工程を含むことを特徴とする請求項 1 1 ~ 2 0 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 2 2】 前記エッチング除去する工程と、前記絶縁膜を形成する工程と、前記第 2 層間絶縁層を形成する工程とを、いずれも常圧雰囲気中で行うことを特徴とする請求項 1 1 ~ 2 1 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、特に埋め込み法（ダマシン法）を用いて形成される導電層を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】

近年、コンピューターや通信機器の重要部分には、大規模集積回路（LSI）が多用されており、機器全体の性能がLSI単体の性能と大きく結びついている。LSI単体の性能は集積度を高めることで向上されるが、その一方で、集積化に伴う素子の微細化のため、配線抵抗の増大や配線間の容量結合に起因するRC遅延によりLSIの高速動作が阻害されるという問題が顕著になってきている。

【0003】

この問題を解決するためには配線抵抗や配線間容量の低減が必要であり、低抵抗の配線材料や低誘電率の絶縁膜材料の採用が広がっている。例えば、配線材料については、これまでのAl配線にかえて、比抵抗が35%ほど低いCu配線が使用されるようになってきており、層間絶縁膜についても、比誘電率kが約4.1以上のSiO₂にかえて、比誘電率kが3.6未満のSiOF膜等が使用されるようになってきた。

【0004】

【発明が解決しようとする課題】

Cu配線は低抵抗であり、Al配線に比べてエレクトロマイグレーション耐性も優れているが、Si基板やSiO₂膜中でのCuの拡散は非常に速く、Cuが拡散するとトランジスタ特性に悪影響を与える虞れがある。そのため、Cu配線層を形成する場合は、その周囲を拡散防止効果のあるバリアメタルおよび絶縁膜で覆う構造が必要となる。

【0005】

例えば、図6（a）に示すように、基板210表面に素子分離層である絶縁層220を持つ半導体基板層215上に形成された第1層間絶縁層230中に埋め込み法（ダマシン法）でCu配線250を形成する場合は、Cu配線250が埋め込まれる溝の底面と側面にはバリアメタル240を形成するとともに、Cu配

線 2 5 0 の露出表面上を絶縁性の拡散防止膜 2 6 0 で被覆する必要がある。

【 0 0 0 6 】

一方、この拡散防止膜 2 6 0 は、第 2 層間絶縁層 2 7 0 にコンタクトホールを形成する際のエッチングストッパとしても使用されている。従って、第 2 層間絶縁層 2 7 0 が拡散防止膜 2 6 0 に対し高いエッチング選択比を得られるように材料を選定しなければならない。そこで、最近では第 2 層間絶縁層 2 7 0 として、低誘電性材料である S i O F を使用するとともに、拡散防止膜 2 6 0 としては主に C V D 法等を用いて形成した S i N 膜や S i C 膜が使用されている。

【 0 0 0 7 】

しかし、これらの従来の拡散防止膜材料である S i N 膜や S i C 膜は、低誘電性の層間絶縁層に比較し比誘電率が圧倒的に高いため、層間絶縁層に低誘電性材料を用いても、配線間容量を十分に低減することができない。

【 0 0 0 8 】

また、ダマシン法を用いて形成する C u 配線については、さらに次のような問題点も指摘されている。

【 0 0 0 9 】

まず、ダマシン法を用いて配線を形成する場合は、配線溝を導電性材料で埋めた後、CMP (Chemical Mechanical Polishing) 処理を行い、基板表面の平滑化を図っている。しかし、この CMP 工程は機械的処理を含むため、図 6 (a) に示すように、基板表面には微細な機械的ダメージ 2 3 5 が残る。特に第 1 層間絶縁層 2 3 0 に残った機械的ダメージ 2 3 5 は後続するプロセスでもエッチング等されることがなく残留し、このダメージ 2 3 5 が膜剥がれ等を引き起こす要因になりやすい。

【 0 0 1 0 】

また、図 6 (b) に示すように、拡散防止膜 2 6 0 をエッチングストッパとして使用して C u 配線 2 5 0 上にコンタクトホール 2 8 0 を形成する際には、C u 配線 2 5 0 とコンタクトホール 2 8 0 との位置あわせにずれが生じると、C u 配線 2 5 0 からずれたコンタクトホールの部分で、エッチングストッパである拡散防止膜 2 6 0 を突き抜けてエッチングが進み、局所的に深い溝が形成される場

合がある。このような深い溝部分には埋め込み不良が生じやすく、Cu配線の被覆不良等の原因となりやすい。

【0011】

これらの課題は、Cu配線に限らず、ダマシン法を用いて形成するメタル配線メタルゲート等の導電層にも共通するものである。

【0012】

本発明の第1の目的は、上述する従来の課題に鑑み、ダマシン法を用いて形成される導電層を持つ半導体装置およびその製造方法において、コンタクトホール of 歩留まりを上げることである。

【0013】

本発明の第2の目的は、ダマシン法を用いて形成される導電層を持つ半導体装置およびその製造方法において、層間絶縁層の表面に機械的ダメージ層を残さないことである。

【0014】

さらに本発明の第3の目的は、ダマシン法を用いて形成される導電層を持つ半導体装置およびその製造方法において、RC遅延をより効果的に抑制することである。

【0015】

【課題を解決するための手段】

本発明の半導体装置の特徴は、第1層間絶縁層と、第1層間絶縁層に形成された溝と、その溝を埋め、第1層間絶縁層表面より高い表面を有する導電層と、第1層間絶縁層と上記導電層上を被覆し、表面が略平坦な絶縁膜と、この絶縁膜上に形成され、絶縁膜に対し高いエッチング選択比を持つ第2層間絶縁層とを有することである。なお、ここで半導体基板層表面には絶縁膜や半導体素子層が形成されていてもよい。

【0016】

なお、ここで「絶縁膜に対し高いエッチング選択比を持つ」とは、絶縁膜のエッチング速度に対しより早いエッチング速度を有することをいう。

【0017】

上記特徴を有する半導体装置によれば、埋め込み導電層を有する構造において、導電層周囲の第1層間絶縁層の表面が上記導電層の表面より低く、しかもこれらの上に形成される絶縁膜は平坦な表面を有するので、絶縁膜は、第1層間絶縁層表面上で厚く、導電層上で薄く形成される。従って、この絶縁膜をエッチングストッパとして上記導電層上にコンタクトホールを形成する際には、合わせずれが生じて、導電層以外の部分では、より厚い絶縁膜がエッチングの進行を抑制するので、局部的に深い溝が形成されることがない。従って、コンタクトホールの埋め込み不良発生等を防止できる。なお、第1層間絶縁層の表面が導電層表面より低い構造は、第1層間絶縁層表面のダメージ層をエッチング除去することで得ることも可能である。

【0018】

また、上記絶縁膜を塗布型材料で形成してもよい。この場合は、極めて容易に平坦な絶縁膜面を形成することができる。

【0019】

さらに、上記絶縁膜は、上記導電層の導体材料に対し拡散防止効果を有する材料からなるものとしてもよい。この場合は、上記導電材料として拡散しやすいもの等をも使用することができる。

【0020】

また、上記第1層間絶縁層および前記第2層間絶縁層の少なくともいずれか一方がSiO₂膜より低い比誘電率を持つ材料からなるものであってもよい。さらに、上記絶縁膜も、少なくともSiO₂膜より低い比誘電率を持つ材料からなるものであってもよい。この場合は、配線間容量を低減でき配線のRC遅延を改善することができる。

【0021】

なお、上記導電層が、バリアメタル層を備える場合は、導電層からの導電材の拡散を防止できる。また上記導電層としてCu配線層を有する場合は、その低い抵抗値により、RC遅延を改善できる。

【0022】

本発明の半導体装置の製造方法の第1の特徴は、第1層間絶縁層を形成する

工程と、第 1 層間絶縁層に溝を形成する工程と、第 1 層間絶縁層上に導電層を形成し、上記溝を導電層で埋める工程と、上記導電層形成後の基板表面を研磨し、上記第 1 層間絶縁層と上記導電層とが露出する平坦面を形成する工程と、上記第 1 層間絶縁層表面の研磨によってできた機械的ダメージ層をエッチング除去する工程と、エッチング後の基板表面上に平坦な表面を有する絶縁膜を形成する工程と、絶縁膜上に絶縁膜に対するエッチング選択比が高い第 2 層間絶縁層を形成する工程とを有することである。

【 0 0 2 3 】

上記半導体装置の製造方法の第 1 の特徴によれば、基板表面を研磨後、研磨によってできた上記第 1 層間絶縁層表面のダメージ層をエッチング除去するので、残ったダメージ層の影響による特性劣化を抑制できる。またこのエッチングにより導電層表面に対し第 1 層間絶縁層表面が相対的に下がるので、基板表面に凹凸ができるが、この上に平坦な絶縁膜を形成する。従って、絶縁膜は凸部である導電層上には薄く、凹部である第 1 層間絶縁層上には厚く形成される。この結果、この絶縁膜をエッチングストッパとして上記導電層上にコンタクトホールを形成する場合は、合わせずれが生じて、導電層以外の部分では、より厚い絶縁膜がエッチング進行を抑制するので、局所的な深い溝の形成を防止できコンタクトホールの埋め込み不良発生等を防止することができる。

【 0 0 2 4 】

本発明の半導体装置の製造方法の第 2 の特徴は、第 1 層間絶縁層を形成する工程と、第 1 層間絶縁層表面を保護膜で被覆する工程と、該保護膜で被覆された第 1 層間絶縁層に溝を形成する工程と、溝形成後の基板表面上に導電層を形成し、上記溝を導電層で埋める工程と、導電層形成後の基板表面を研磨し、保護膜と導電層とが露出する平坦面を形成する工程と、上記保護膜をエッチング除去する工程と、上記保護膜除去後の基板表面上に平坦な表面を有する絶縁膜を形成する工程と、絶縁膜上に絶縁膜に対するエッチング選択比が高い第 2 層間絶縁層を形成する工程とを有することである。

【 0 0 2 5 】

上記半導体装置の製造方法の第 2 の特徴によれば、基板表面の研磨工程にお

いて、予め第1層間絶縁層表面が保護膜で被覆されているので、第1層間絶縁層表面は直接研磨のダメージを受けない。また、研磨処理後、保護膜がエッチング除去されるので、ダメージ層は残留しない。さらに、保護膜のエッチング除去により、基板表面には凸部である導電層と凹部である第1層間絶縁層が残るが、この上に平坦な絶縁膜を形成するので、絶縁膜の膜厚は導電層上では薄く、第1層間絶縁層上では厚くなる。従って、この絶縁膜をエッチングストoppaとして上記導電層上にコンタクトホールを形成する場合には、合わせずれが生じて、導電層以外の部分では、より厚い絶縁膜がエッチング進行を抑制するので、局所的な深い溝の形成が防止され、コンタクトホールの埋め込み不良発生等を防止できる。

【 0 0 2 6 】

なお、上記第1または第2の特徴を有する半導体装置の製造方法において、上記平坦な表面を有する絶縁膜は、塗布法を用いて形成するものでもよい。この場合は、容易に平坦な表面を形成できる。

【 0 0 2 7 】

なお、上記第2の特徴を有する半導体装置の製造方法において、上記保護膜は、SiO₂膜であってもよい。

【 0 0 2 8 】

また、上記第1または第2の特徴を有する半導体装置の製造方法において、上記絶縁膜は、上記導電層の導体材料に対し拡散防止効果を有する材料で形成してもよい。この場合は、上記導電材料として拡散しやすいもの等をも使用することができる。

【 0 0 2 9 】

さらに、上記第1層間絶縁層および前記第2層間絶縁層のいずれか一方を少なくともSiO₂膜より低い比誘電率を持つ材料を使用してもよい。あるいは、上記絶縁膜として、少なくともSiO₂膜より低い比誘電率を持つ材料を使用してもよい。この場合は、配線のRC遅延を抑制することができる。

【 0 0 3 0 】

なお、上記導電層が、バリアメタル層を備える場合は、導電層からの導電材

の拡散を防止できる。また上記導電層としてCu配線層を有する場合は、その低い抵抗値により、配線のRC遅延を改善できる。

【0031】

また、上記第1または第2の特徴を有する半導体装置の製造方法において、上記エッチング除去する工程と、上記絶縁膜を形成する工程と、第2層間絶縁層を形成する工程とを常圧雰囲気中で行ってもよい。この場合は、上記各工程の処理を連続して行い、各工程間の基板搬送が容易で、生産効率の高い製造装置を用いることができる。

【0032】

【発明の実施の形態】

（第1の実施の形態）

以下、図面を参照して本発明の実施の形態に係るCu配線構造を説明する。

【0033】

図1（a）は、第1の実施の形態に係る半導体装置の構成図である。なお、同図には、素子分離層である絶縁層20上に形成される配線層を例示しているが、機能素子が形成される活性化領域上にも同様な配線構造が形成されるものとする。

【0034】

図1（a）に示すように、第1の実施の形態に係る半導体装置は、素子分離層である絶縁層20上に、第1層間絶縁層30が形成されており、この第1層間絶縁層30に配線溝が形成されている。配線溝の内壁にはバリアメタル40が形成され、その内側にCu配線50が埋め込まれている。

【0035】

ここで、第1の実施の形態の半導体装置の特徴のひとつは、このCu配線50の露出表面が周囲の第1層間絶縁層30の露出表面より高いことである。即ち、従来CMP処理によるダメージが残留していた第1層間絶縁層30表面が選択的に除去されており、除去された厚み分、第1層間絶縁層30表面が下がり、相対的にCu配線50の表面が高くなっている。

【0036】

また、Cu配線50および第1層間絶縁層30の表面は、Cuの拡散を防止する絶縁膜である拡散防止膜60で被覆されているが、第1の実施の形態では、特に、この拡散防止膜60を塗布型材料で形成している。従って、形成された拡散防止膜60は塗布型材料の良好な流動性により、下地の凹凸に影響されず平坦な表面を有する。このため、拡散防止膜60は、Cu配線50上には薄く、第1層間絶縁層30上には厚く形成されている。

【0037】

さらに拡散防止膜60の上には、第2層間絶縁層70が形成される。なお、ここでは配線層を一層のみしか示していないが、必要に応じ複数の配線層を積層形成してよい。

【0038】

ここで、第1の実施の形態に係る第1、第2の層間絶縁層30、70は、SiO₂より低誘電率材、例えば比誘電率2.7のメチルポリシロキサンを使用することが好ましい。また、拡散防止膜60としては低誘電材料であることが好ましく、さらにエッチングストッパとしての機能を備えるために、第2層間絶縁層70が拡散防止膜60に対し高い選択比でエッチングできるように材料を選択することが好ましい。具体的には、例えばポリアリーレン又はベンゾシクロブテン（BCB）等の材料を挙げることができる。なお、拡散防止膜60は、同時にCu配線の酸化防止機能を兼ねる。

【0039】

図1（b）は、第1の実施の形態に係る半導体装置において、Cu配線50上にコンタクトホール80を形成した際の様子を示す装置断面図である。

【0040】

第1の実施の形態の拡散防止膜60をエッチングストッパとして利用して、第2層間絶縁層70をエッチングする場合において、図1（b）に示すように、コンタクトホール80とCu配線50との合わせずれが生じることがあるが、Cu配線50上に較べ第1層間絶縁層30上の拡散防止膜60の厚みが十分厚くなっているため、多少のオーバエッチを行っても、拡散防止膜60ではエッチングの進行が抑制されるので、下地の第1層間絶縁膜30に達しない。従って、コンタ

クトホール 80 と Cu 配線 50 との合わせずれが生じて、従来のように局所的に深い溝が形成されることはなく、コンタクトホールの埋め込み不良等の問題の発生を回避できる。

【0041】

以下、図 2 (a) ～図 2 (e) を参照し、第 1 の実施の形態に係る半導体装置の製造方法について説明する。なお、従来の方法を使用する素子分離構造の形成工程並びにトランジスタ等の機能素子形成工程については説明を省略し、ここでは Cu 配線の形成方法を中心に説明する。

【0042】

まず、図 2 (a) に示すように、基板 11 表面に形成された素子分離層である絶縁層 21 上に、第 1 層間絶縁層 31 を形成する。この第 1 層間絶縁層 31 は、低誘電率無機材料で形成されていることが好ましく、例えば塗布法を用いて比誘電率が 2.7 のメチルポリシロキサンを膜厚約 200 nm 形成する。

【0043】

次に、フォトリソグラフィ工程を用いて、第 1 層間絶縁層 31 に所定の Cu 配線パターンに対応した配線溝を形成する。続けて、この配線溝の内表面を含む基板表面に、バリアメタル 41 として例えば厚み約 10 nm の TaN 膜を形成し、さらにその上に電解めっきを行うためのシード層として Cu 膜を約 60 nm 程度形成する。なお、これらの膜は例えばスパッタ法等用いて形成できる。

【0044】

この後、電解めっき法を用いて、Cu シード層上に Cu 膜を膜厚約 600 nm 形成した後、配線溝にのみ Cu 膜を残すため、CMP (Chemical Mechanical etching) 法を用いて基板表面を研磨し、図 2 (b) に示すような第 1 層間絶縁層 31 と Cu 配線 51 が露出する平坦な基板表面を形成する。

【0045】

次に、図 2 (c) に示すように、例えば希釈したフッ酸を用いたウェットエッチング法により、第 1 層間絶縁層 31 の表面層を選択的に約 10 nm ～ 50 nm 程エッチングする。このエッチングにより、第 1 層間絶縁層 31 表面に残った CMP 工程による機械的なダメージ層は除去される。また、Cu 配線 51 及びバリ

アメタル 4 1 露出表面は、周囲の第 1 層間絶縁層 3 1 の表面より相対的に高くなり、基板表面に凹凸ができる。

【 0 0 4 6 】

続いて、図 2 (d) に示すように、第 1 層間絶縁層 3 1 及び Cu 配線 5 1 が形成された基板表面上に塗布法により絶縁性の拡散防止膜 6 1 を約 5 0 n m 程度形成する。さらに拡散防止膜 6 1 上に、塗布法を用いて第 2 層間絶縁層 7 1 を約 2 0 0 n m 程度形成する。第 2 層間絶縁層 7 1 材としては、第 1 層間絶縁層と同様に低誘電材料であるメチルポリシロキサンを用いることが好ましい。

【 0 0 4 7 】

拡散防止膜 6 1 材としては、Cu の拡散を防止する機能を有するとともに、エッチングストoppaとしても使用できる、塗布型低誘電率材料であるポリアリーレン又はベンゾシクロブテンを用いることが好ましい。

【 0 0 4 8 】

拡散防止膜 6 1 は、塗布型材料を用いて塗布法で形成されるため、平坦な表面を有する層を形成できる。この結果、拡散防止膜 6 1 は、Cu 配線 5 1 上には薄く形成され、第 1 層間絶縁層 3 1 上には厚く形成される。なお、塗布法としては、スピンコート等を用いたコーティング法その他、塗布液を所定量ずつ所定間隔で基板上に滴下する滴下法等を用いることもできる。

【 0 0 4 9 】

この後、図 2 (e) に示すように、Cu 配線 5 1 上の必要箇所と上層の配線とを接続するため、第 2 層間絶縁層 7 1 および拡散防止膜 6 1 に、コンタクトホール 8 1 を形成する。このとき、図 2 (e) に示すように、コンタクトホール 8 1 と Cu 配線 5 1 との位置に多少ずれが生じてても Cu 配線 5 1 からずれた部分では拡散防止膜 6 1 が厚く形成されているので、オーバエッチを行っても十分に拡散防止膜 6 1 内でエッチングの進行を抑えることができる。従って、局部的に深いコンタクトホールの発生を防止できる。

【 0 0 5 0 】

以上に説明するように、第 1 の実施の形態に係る配線構造および配線形成方法によれば、CMP 処理に伴い発生する第 1 層間絶縁層 3 1 表面の機械的ダメージ

層はエッチング除去されるので、残留ダメージ層に起因する膜剥がれ等の問題を防止できる。

【 0 0 5 1 】

また、拡散防止膜 6 1 は、塗布型膜の良好な流動性により Cu 配線 5 1 上に薄く、第 1 層間絶縁層 3 1 上に厚く形成することができるため、コンタクトホール形成時に、位置ずれが生じて、拡散防止膜 6 1 の十分な厚みにより第 1 層間絶縁層 3 1 へのエッチングを防ぎ、埋め込み不良等の問題の発生を防止できる。

【 0 0 5 2 】

さらに、第 1 の実施の形態に係る配線構造では、配線層として低抵抗な Cu 配線 5 1 を形成しており、さらに、第 1、第 2 の層間絶縁層 3 1、7 1 とともに拡散防止膜 6 1 についても低誘電率材料を使用しているので、配線の RC 遅延を大幅に改善することができる。

【 0 0 5 3 】

(第 2 の実施の形態)

第 2 の実施の形態に係る半導体装置も、図 1 (a) および図 1 (b) に示す第 1 の実施の形態に係る半導体装置と同じ構造を有するが、その製造方法が異なる。以下、図 3 (a) ～図 3 (e) を参照しながら、第 2 の実施の形態に係る半導体装置の製造方法について説明する。

【 0 0 5 4 】

まず、図 3 (a) に示すように、基板 1 2 上に形成された素子分離層である絶縁膜 2 2 上に、第 1 層間絶縁層 3 2 を形成する。さらに続けて第 1 層間絶縁層 3 2 上にキャップ層 (保護層) 9 0 を形成する。このキャップ層 9 0 は、後続する CMP 工程の際に受ける機械的ダメージから第 1 層間絶縁層 3 2 を保護するための層であり、その機能を果たすものであれば絶縁膜、導電膜いずれの膜でもよく、電気的特性等は問わない。例えば CVD 法で形成した厚さ約 5 0 n m ～ 1 0 0 n m の SiO₂ 膜をキャップ層 9 0 として使用できる。なお、第 1 層間絶縁層 3 2 は、第 1 の実施の形態と同様の条件で形成することができる。

【 0 0 5 5 】

次に、キャップ層 9 0 が被覆された第 1 層間絶縁層 3 2 に、フォトリソグラフ

イ工程を用いて、所定のCu配線パターンに対応した配線溝を形成する。続けて、配線溝の内表面を含む基板表面に、バリアメタル42として例えばTa₂N膜を形成し、その上に電解めっきのためのシード層としてCu膜を形成する。さらに、電解めっき法を用いて、Cuシード層上にCu膜を形成し、配線溝を埋め込む。なおこれらのバリアメタル42とCu膜の膜厚等の作製条件は第1の実施の形態と同様の条件を使用することができる。

【0056】

さらに、CMP法を用いて基板表面を研磨し、図3（b）に示すようなキャップ層90とCu配線52が露出する平坦な基板表面を形成する。

【0057】

続けて、図3（c）に示すように、希釈したフッ酸によりキャップ膜90をエッチング除去する。こうして除去されたキャップ膜90の厚みだけ、第1層間絶縁層32の露出表面はCu配線52の露出表面より低くなる。また、露出した第1層間絶縁層32の表面にはCMP処理による機械的ダメージ層は存在しない。

【0058】

この後に続く工程は、第1の実施の形態に係る製造工程と共通する。即ち、図3（d）に示すように、第1層間絶縁層32及びCu配線52が形成された基板表面上に塗布法により絶縁性の拡散防止膜62を約50nm程度形成し、さらに拡散防止膜62上に、第2層間絶縁層72を約200nm程度形成する。

【0059】

第1の実施の形態と同様に、第2層間絶縁層72としてはメチルポリシロキサンを、および拡散防止膜62としてはポリアリーレンを使用することが好ましい。

【0060】

第2の実施の形態に係る製造方法においても、拡散防止膜62は、塗布型材料を用いて塗布法で形成するため、平坦な表面を有する層を形成できる。この結果、拡散防止膜62は、Cu配線52上には薄く形成され、第1層間絶縁層32上には厚く形成されることになる。

【0061】

この後、図 3 (e) に示すように、C u 配線 5 2 上の必要箇所と上層の配線とを接続するため、第 2 層間絶縁層 7 2 および拡散防止膜 6 2 に、コンタクトホール 8 2 を形成する。このとき、図 3 (e) に示すように、コンタクトホール 8 2 と C u 配線 5 2 との位置に多少ずれが生じてても C u 配線 5 2 からずれた部分では拡散防止膜 6 2 が厚く形成されているので、オーバエッチを行っても十分に拡散防止膜 6 2 内の厚み内でエッチングの進行を抑えることができる。従って、局部的に深いコンタクトホールの発生を防止できるためコンタクトホールの埋め込み不良等の問題を防止できる。

【 0 0 6 2 】

なお、上述する第 2 の実施の形態では、キャップ膜 9 0 として、S i O₂膜を使用しているが、機械的保護膜の機能の他、フォトエッチング工程でのハードマスクとしての機能やレジスト膜に対する反射防止膜としての機能を加えることもできる。

【 0 0 6 3 】

第 2 の実施の形態に係る半導体装置およびその製造方法も第 1 の実施の形態の場合と同様な効果を得ることができるが、キャップ膜 9 0 を使用しているため、より確実に第 1 層間絶縁層 3 2 への機械的ダメージ残留を防止できるとともに、第 1 層間絶縁層 3 2 と C u 配線 5 2 との凹凸を精度良く再現できる。

【 0 0 6 4 】

(第 3 の実施の形態)

第 3 の実施の形態に係る半導体装置も、図 1 (a) および図 1 (b) に示す第 1 の実施の形態に係る半導体装置とほぼ同じ構造を有するが、ここでは、拡散防止膜として塗布型材料を使用せずに、C V D 法を用いた無機膜を使用している。

【 0 0 6 5 】

以下、図 4 (a) ~ 図 4 (c) を参照しながら、第 3 の実施の形態に係る半導体装置の製造方法について説明する。なお、基板 1 3 に形成された素子分離層である絶縁層 2 3 上に形成される第 1 層間絶縁層 3 3、配線溝、配線溝に埋め込まれたバリアメタル 4 3 と C u 配線 5 3 は、第 1 の実施の形態と同様な条件で作製することができる。

【 0 0 6 6 】

さらに、図 4 (a) に示すように、C u 配線 5 3 の露出表面が高く、第 1 層間絶縁層 3 3 の表面が低い構造を形成する。この形成方法は、第 1 の実施の形態、第 2 の実施の形態のいずれの方法を利用してもよい。

【 0 0 6 7 】

図 4 (b) に示すように、第 3 の実施の形態に係る半導体装置の製造方法では、拡散防止膜 6 3 として従来と同様に C V D 法を用いて、S i N 膜や S i C 膜を形成する。C V D 法で形成した膜は被覆性が良く、下地面の凹凸を反映した凹凸の残る拡散防止膜 6 3 表面が形成される。

【 0 0 6 8 】

そこで、CMP 工程を用いて基板表面の平坦化を図る。この結果、図 4 (c) に示すようなほぼ平坦な表面を持つ拡散防止膜 6 3 を形成できる。即ち、拡散防止膜 6 3 を C u 配線 5 3 上に薄く、第 1 層間絶縁層 3 3 上に厚く形成できる。

【 0 0 6 9 】

従って、第 1、第 2 の実施の形態と同様に平坦化された拡散防止膜 6 3 上に第 2 層間絶縁層 7 3 を形成し、必要なコンタクトホールを形成する場合は、あわせずれが生じて、C u 配線 5 3 からずれた部分では拡散防止膜 6 3 が厚く形成されているので、オーバエッチを行っても十分に拡散防止膜 6 3 内の厚み内でエッチングの進行を抑えることができる。局所的に深いコンタクトホールの発生を防止できるためコンタクトホールの埋め込み不良等の問題を防止できる。

【 0 0 7 0 】

以上、第 1 ～ 第 3 の実施の形態では、ダマシン法を用いて C u 配線を形成する場合を例に挙げて説明したが、C u 配線に限らず、他のメタル配線をダマシン工程を用いて形成する場合にも、層間絶縁膜に残った CMP 処理によるダメージ層を取り除くためや、コンタクトホール開口時の位置ずれによる局所的な深いホールの発生等を防止することに効果的である。また、配線に限らず、ダマシン法を用いて形成するメタルゲート電極等に対しても同様に適用できる。

【 0 0 7 1 】

(第 4 の実施の形態)

第4の実施の形態では、上述した第1、第2の実施の形態に係る製造方法に適した半導体製造装置の一例を説明する。

【0072】

上述したように、第1の実施の形態の半導体製造方法では、埋め込み配線層を形成するためにCMP処理を行うが、このCMP処理後は、第1層間絶縁層のダメージ層の除去工程、拡散防止膜の形成工程、第2層間絶縁膜の形成工程が続く。

【0073】

ダメージ層の除去はウェットエッチングで行うことができ、拡散防止膜および第2層間絶縁膜の形成はコーティング工程とアニーリング工程が含まれる。従って、CMP工程後は、1)ダメージ層除去のためのウェットエッチング工程、2)拡散防止膜のコーティング工程、3)拡散防止膜のアニーリング工程、4)第2層間絶縁層のコーティング工程および5)第2層間絶縁層のアニーリング工程を行うことになる。ここに挙げた5つの連続する工程は、いずれも高真空チャンバを必要としない常圧中での処理である。

【0074】

第2の実施の形態に係る半導体製造方法を使用する場合にも、CMP処理後、まずキャップ層の除去のためウェットエッチング工程を行うがこれに続く工程は第1の実施の形態に係る工程と一致しており、第2層間絶縁層のアニーリング工程まで、高真空チャンバを必要としない常圧中での処理を連続に行うことになる。

【0075】

そこで、図5(a)、または図5(b)に示すように、高真空チャンバを必要としない上記各工程の処理装置(処理室)を工程順に並べ、各処理室を基板搬送手段でつなげば、枚葉処理が可能な製造ラインを構築することができる。各処理室は高真空を必要としないので、各処理室間のウエハの搬送が容易であり、生産効率を大幅に上げることができる。以下、図面を参照しながら、より具体的に第4の実施の形態に係る半導体製造装置について説明する。

【0076】

図 5 (a) に示すように、この半導体製造装置では、基板を搬入するロードカセット 1 2 1、エッチング室 1 2 3、コーティング室 1 2 4、アニーリング室 1 2 5、コーティング室 1 2 6、アニーリング室 1 2 7 および基板を搬出するアンロードカセット 1 2 8 が製造工程順に並べられ、各処理室が基板搬送手段によって接続されている。

【 0 0 7 7 】

ロード・カセット 1 2 1 には、例えば第 1 または第 2 の実施の形態における C M P 処理工程までを終えた被処理基板がセットされる。基板は、一枚ごと搬送手段を介してまずエッチング室 1 2 3 に搬送される。エッチング室 1 2 3 には、希釈フッ酸等のエッチング液が入ったタンクと水洗用のタンクもしくは水洗シャワー部、およびスピン乾燥部等が備えられ、基板はエッチング室 1 2 3 を通過する過程で、第 1 層間絶縁層表面のエッチング処理もしくはキャップ膜のエッチング処理を受ける。

【 0 0 7 8 】

エッチング室 1 2 3 を出た基板は、コーティング室 1 2 4 に搬送され、ここでは例えば基板表面に拡散防止膜がスピンコータ等でコーティングされ、さらにアニーリング室 1 2 4 に移される。アニーリング室 1 2 4 では、コーティングされた拡散防止膜溶液中の溶媒の揮発や、拡散防止膜の架橋反応や重合反応行うための熱処理が行われる。なお、アニーリング室 1 2 4 の雰囲気は、窒素またはアルゴンなどをの不活性ガス雰囲気が好ましく、酸素分圧は 1 0 0 p p b 以下の低分圧に制御されていることが望ましい。これらのガス雰囲気は、例えば基板上に不活性ガスをシャワー状に吹き付ける等の処理でも得ることができる。

【 0 0 7 9 】

次に基板はコーティング室 1 2 6 に搬送され、ここで、基板表面に第 2 層間絶縁層がコーティングされる。さらに基板はアニーリング室 1 2 7 に移され、そこで第 2 層間絶縁層中の溶媒の揮発や、層間絶縁膜の架橋反応や重合反応行うための熱処理が行われる。なお、アニーリング室 1 2 7 内の雰囲気は、拡散防止膜用のアニール室 1 2 5 と同様に、窒素またはアルゴンなどの不活性ガス雰囲気とし、酸素分圧を 1 0 0 p p b 以下に制御されていることが望ましい。

【 0 0 8 0 】

第 2 層間絶縁層のアニーリングが終了した基板はアンロード・カセット 1 2 8 に搬送され、ここから装置外部に搬出される。

【 0 0 8 1 】

なお、図 5 (b) に示すように、ロード・カセット 1 2 1 とエッチング室 1 2 3 との間に洗浄室 1 2 2 を備えてもよい。洗浄室 1 2 2 には基板表面の洗浄を目的に、例えば塩酸タンクと水洗タンクが用意され、さらにスピン乾燥器が備えられる。

【 0 0 8 2 】

上述する第 4 の実施の形態に係る半導体装置を用いれば、各処理室が処理手順の順に接続されているので、CMP 処理後の第 1 層間絶縁膜もしくはキャップ層のエッチング工程から第 2 の層間絶縁層形成工程に至るまでを一貫した連続工程で処理することができるので、スループットの向上を図ることができる。

【 0 0 8 3 】

なお、エッチング室 1 2 3 で使用するエッチング溶液の種類は、被エッチング材の種類により適宜変更することが可能である。また、図 5 (b) では、基板表面洗浄処理とエッチングを別の処理室で行っているが、薬液を代えて一つの処理室で処理してもよい。この場合、装置面積を小さくできるメリットがある。

【 0 0 8 4 】

また、拡散防止膜のアニーリングと第 2 層間絶縁層のアニーリングは、それぞれ独立したアニーリング室 1 2 5、1 2 7 で処理を行っているが、拡散防止膜についてはベークだけを済ませておいて、第 2 層間絶縁層をキュアする際に一緒に拡散防止膜のキュアを行っても良い。

【 0 0 8 5 】

さらにまた、各処理室を並列に複数設ければ、さらに処理スピードを上げることができる。

【 0 0 8 6 】

以上、第 1 ～第 4 の実施の形態について、説明したが、本発明の半導体装置およびその製造方法は、これらの説明に限定されるものではなく、材料の置換や改

良等が可能であることは当業者には自明である。

【0087】

【発明の効果】

以上に説明したように、本発明の半導体装置によれば、第1層間絶縁層表面上で厚く、導電層上で薄い絶縁膜が形成されているので、この絶縁膜をエッチングストップパとして用いて上記導電層上にコンタクトホールを形成する場合は、合わせずれが生じて、第1層間絶縁層表面上の厚い絶縁膜がエッチング進行を抑制するので、局所的な深い溝の形成による埋め込み不良発生等を防止し、歩留まりの高い半導体装置を提供できる。

【0088】

さらに、導電層としてCu配線を使用し、絶縁膜として低誘電率材料を使用した場合は、RC遅延を大幅に低減できる。

【0089】

また、本発明の半導体装置の製造方法によれば、第1層間絶縁層表面に機械的ダメージ層を残さないで、膜剥がれ等の発生を防止できる。平坦な表面の絶縁膜の形成により、絶縁膜を導電層上には薄く、第1層間絶縁層上には厚く形成できるので、この絶縁膜をエッチングストップパとして用いて上記導電層上にコンタクトホールを形成する場合は、合わせずれが生じて、第1層間絶縁層表面上の厚い絶縁膜がエッチング進行を抑制するので、局所的な深い溝の形成による埋め込み不良発生等を防止し、歩留まりの高い半導体装置を提供できる。

【0090】

さらに、導電層としてCu配線を使用し、絶縁膜として低誘電率材料を使用した場合は、RC遅延を低減できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置の断面図である。

【図2】

本発明の第1の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図3】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図 4】

本発明の第 3 の実施の形態に係る半導体装置の製造方法を示す工程図である。

【図 5】

本発明の第 4 の実施の形態に係る半導体装置の構成図である。

【図 6】

従来の半導体装置の構成を示す図である。

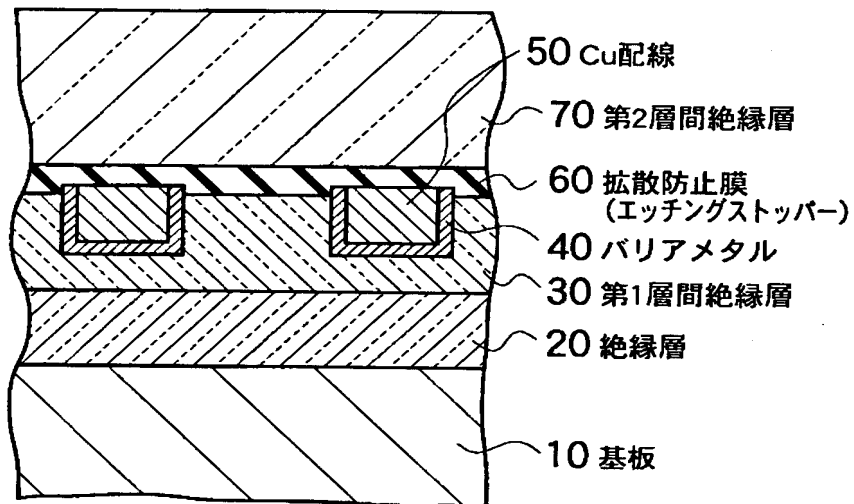
【符号の説明】

- 1 0、1 1、1 2、1 3 基板
- 2 0、2 1、2 2、2 3 絶縁層
- 3 0、3 1、3 2、3 3 第 1 層間絶縁層
- 4 0、4 1、4 2、4 3 バリアメタル
- 5 0、5 1、5 2、5 3 C u 配線
- 6 0、6 1、6 2、6 3 拡散防止膜
- 7 0、7 1、7 2、7 3 第 2 層間絶縁層

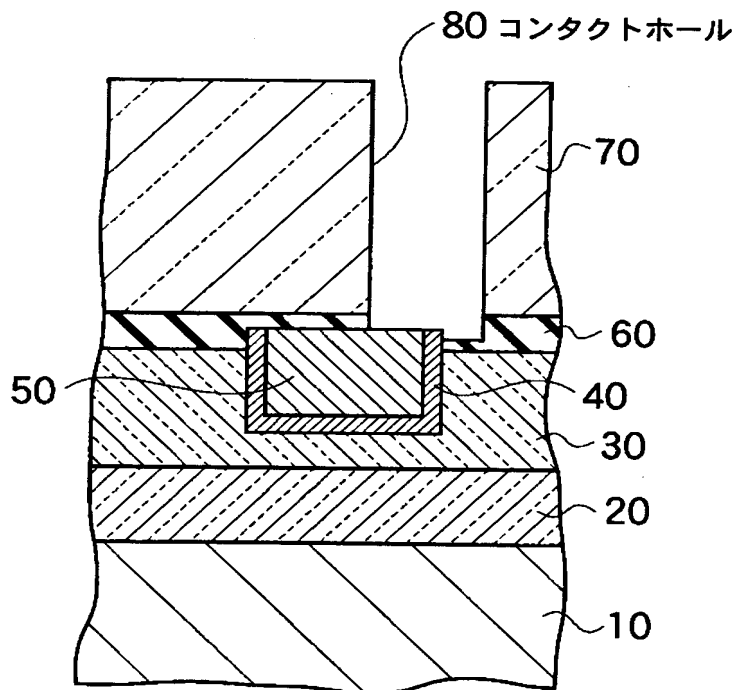
【書類名】 図面

【図 1】

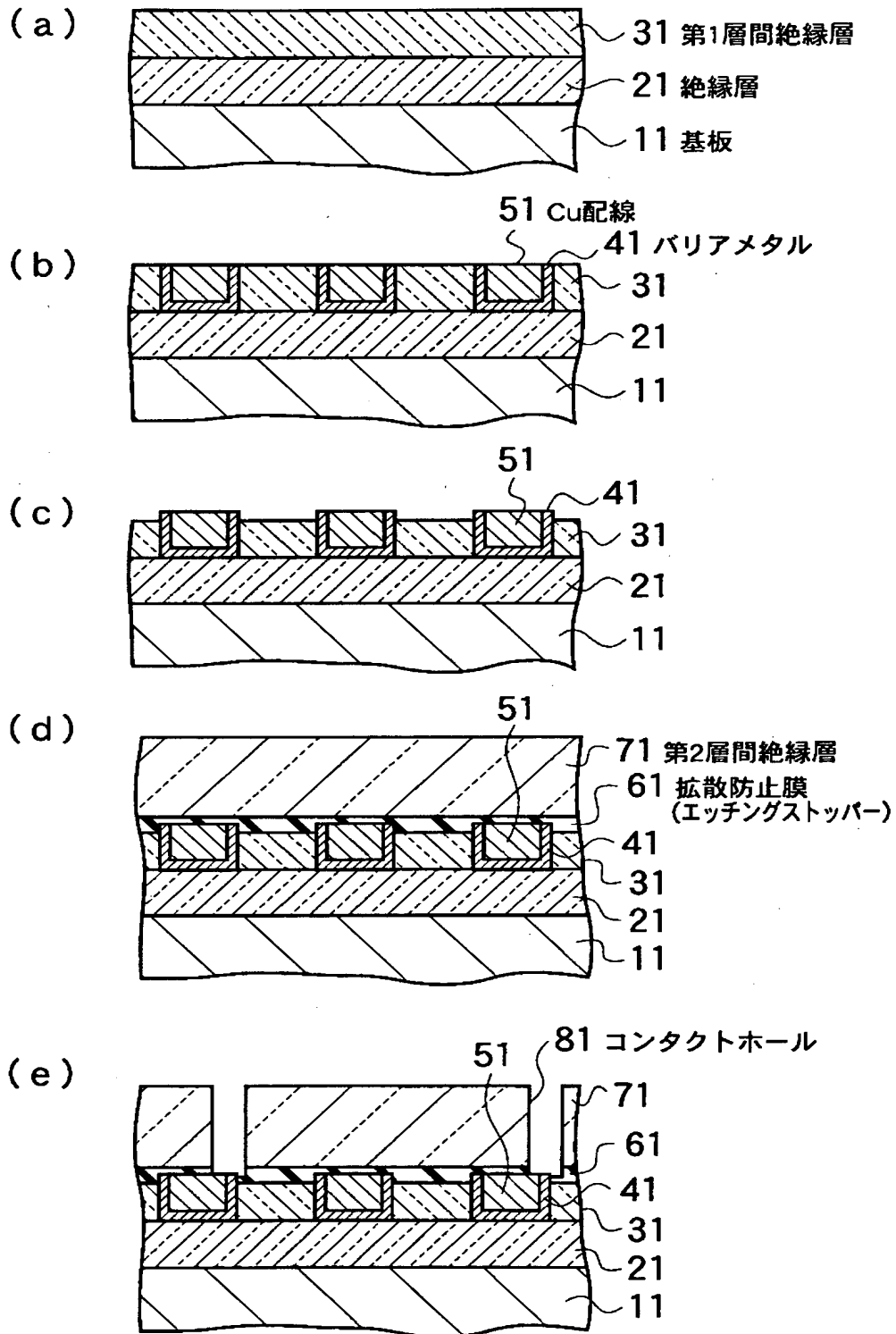
(a)



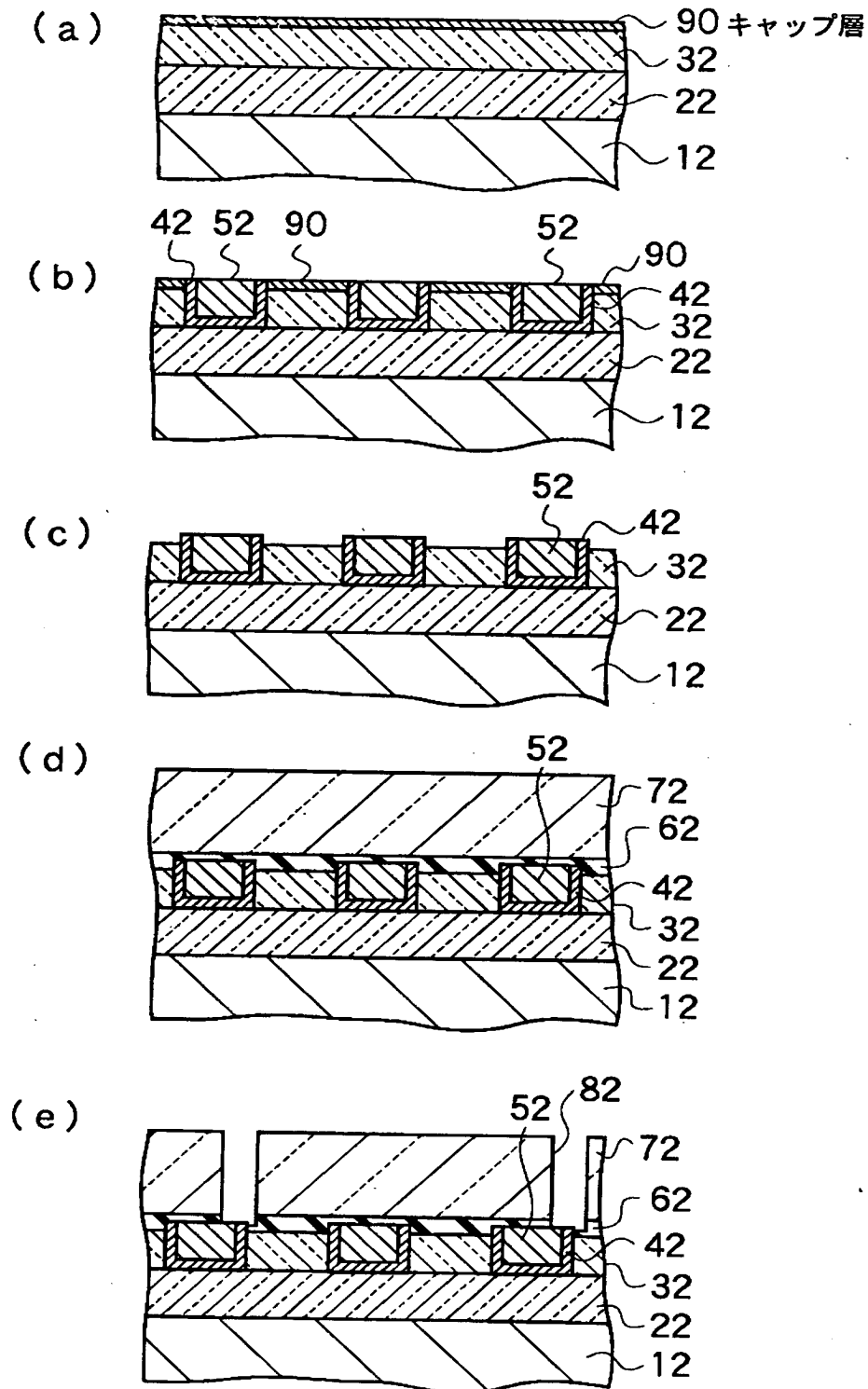
(b)



【図2】

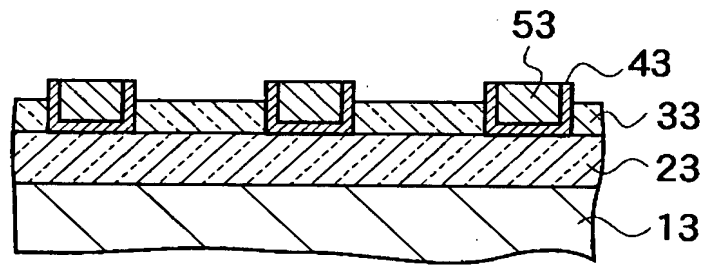


【図 3】

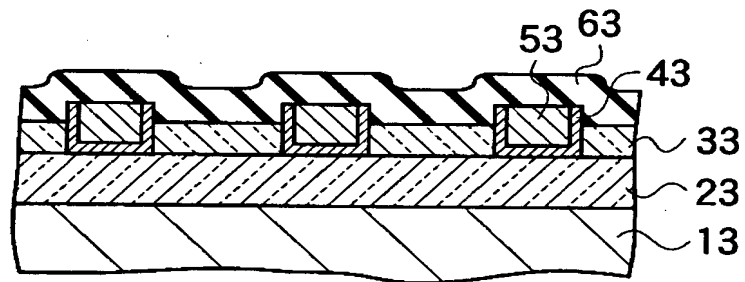


【図 4】

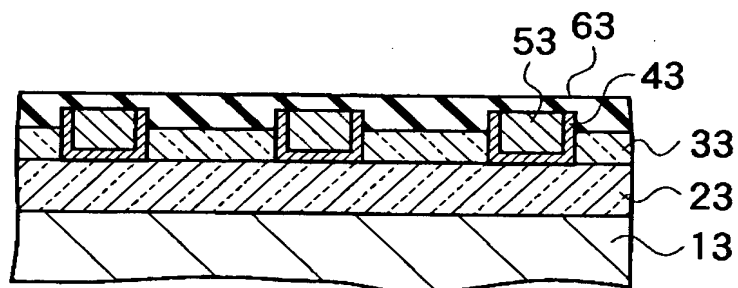
(a)



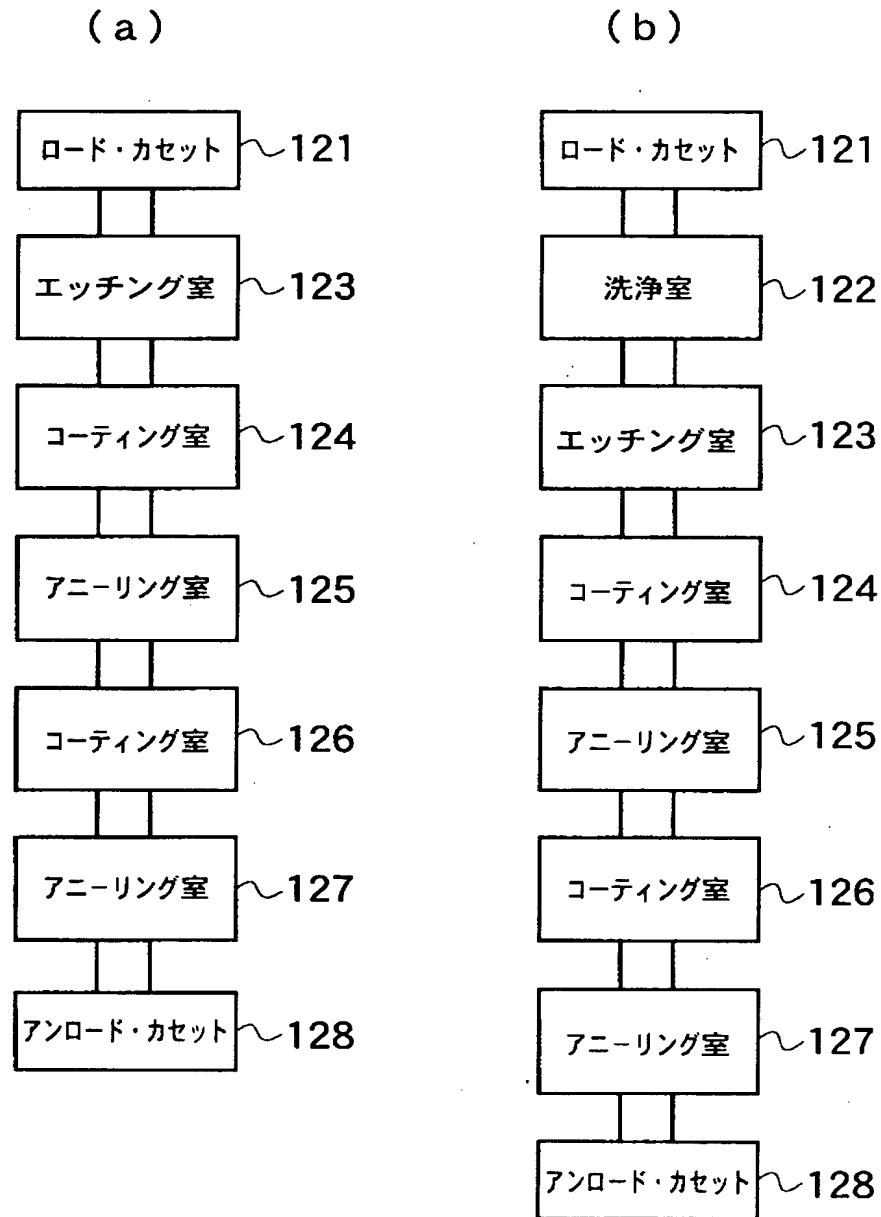
(b)



(c)

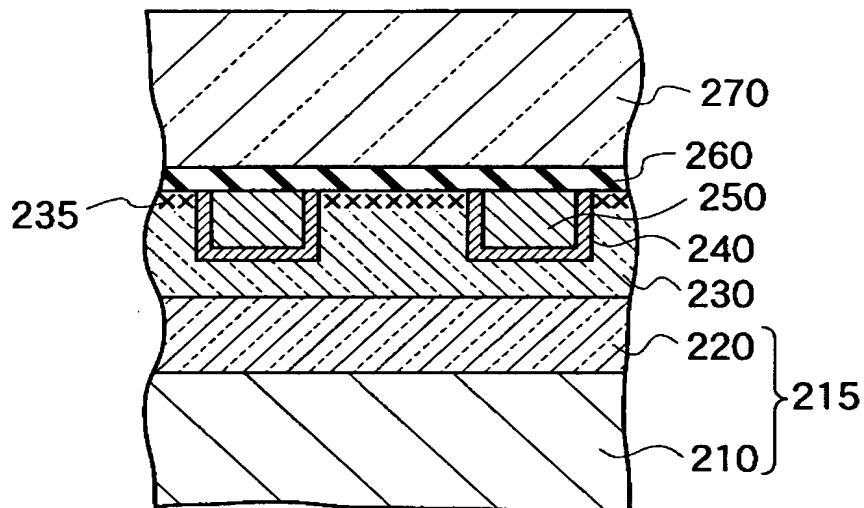


【図 5】

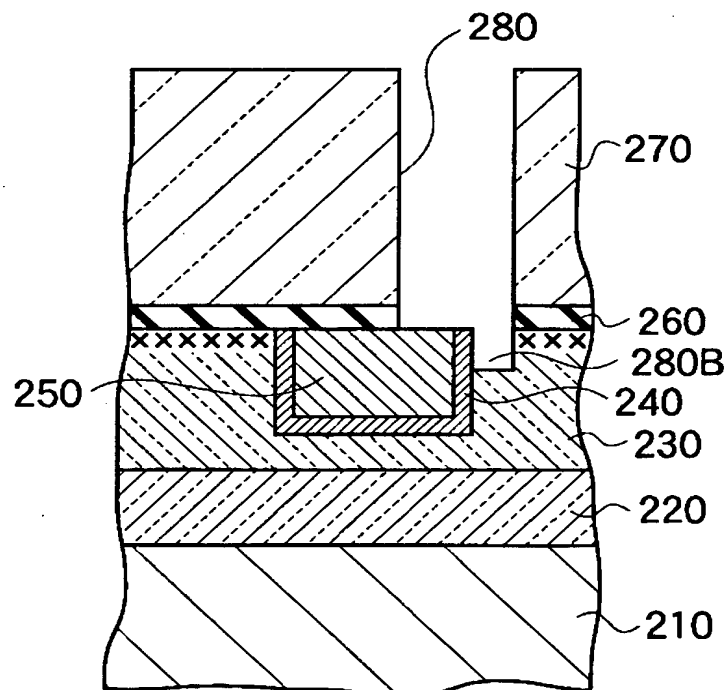


【図 6】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 埋め込み型導電層において、層間絶縁層表面に研磨処理による機械的ダメージ層を残さず、コンタクトホール形成時の歩留まりを上げる。

【解決手段】 半導体基板層上に第1層間絶縁層を形成し、第1層間絶縁層に溝を形成し、第1層間絶縁層上に導電層を形成し、溝を前記導電層で埋め、導電層形成後の基板表面を研磨し、第1層間絶縁層と導電層とが露出する平坦面を形成する。さらに、研磨によってできた前記第1層間絶縁層表面のダメージ層をエッチング除去し、エッチング後の基板表面上に塗布法を用いて、絶縁膜を形成する。続いて、上記絶縁膜上に、絶縁膜に対するエッチング選択比が高い第2層間絶縁層を形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝